

1.	Наслов на наставниот предмет	<b>Дизајн со HDL јазици</b> Design using HDL languages		
2.	Код	СОЦД-И-02		
3.	Студиска програма	Систем во чип (ТЕМПУС)		
4.	Организатор на студиската програма (единица, односно институт, катедра, оддел)	Факултет за информатички науки и компјутерско инженерство – ФИНКИ		
5.	Степен (прв, втор, трет циклус)	втор циклус		
6.	Академска година / семестар <b>2 / зимски / изборен</b>	7. Број на ЕКТС кредити <b>6</b>		
8.	Наставник	д-р Игор Мишковски		
9.	Предуслови за запишување на предметот	Нема		
10.	Цели на предметната програма (компетенции): По завршување на курсот студентот може да: Моделира дигитален хардвер со користење на описен јазик за хардверот (HDL); Именува и опишува различни фази од процесот на дизајнирање на дигиталниот хардвер; Знае повеќе типови на целни архитектури за дигиталниот хардвер; Дизајнира дигитален хардвер за FPGA; Да ја знае основната функционалност на HDL јазикот со кој што се моделира аналоген и дигитален хардвер; Користи типични дизајнерски техники за комбинаторни кола, синхрони и асинхрони машини со состојби и магистралаи.			
11.	Содржина на предметната програма: Вовед во HDL јазиците. Моделирање на системи со VHDL. Алтернативи на VHDL. Вовед во VHDL-AMS. Дизајн на комбинаторни и секвенцијални компоненти. Целни архитектури. FPGA синтеза. Синхрони наспроти асинхрони машини. Микроконтролери и податочни магистралаи			
12.	Методи на учење: Предавања поддржани со презентации преку слајдови, интерактивни предавања, вежби (користење на опрема и софтверски пакети), тимска работа, пример случаи, поканети гости предавачи, самостојна изработка и одбрана на проектна задача и семинарска работа, учење во електронско опкружување (форуми, консултации).			
13.	Вкупен расположив фонд на време	6 ECTS x 30 часа = 180 часа		
14.	Распределба на расположивото време	30 + 15 + 135 = 180 часа		
15.	Форми на наставните активности	15.1.	Предавања- теоретска настава	30 часови
		15.2.	Вежби (лабораториски, аудиториски), семинари, тимска работа	15 часови
16.	Други форми на активности	16.1.	Проектни задачи	60 часови
		16.2.	Самостојни задачи	25 часови
		16.3.	Домашно учење	50 часови
17.	Начин на оценување			
	17.1.	Тестови	50 бодови	
	17.2.	Семинарска работа/ проект ( презентација: писмена и усна)	35 бодови	
	17.3.	Активност и учество	15 бодови	
18.	Критериуми за оценување (бодови/ оценка)	до 59 бода		5 (пет) (F)
		од 60 до 68 бода		6 (шест) (E)
		од 69 до 76 бода		7 (седум) (D)
		од 77 до 84 бода		8 (осум) (C)
		од 85 до 92 бода		9 (девет) (B)

		од 93 до 100 бода	10 (десет) (А)			
19.	Услов за потпис и полагање на завршен испит	реализирани активности 15.1 и 15.2				
20.	Јазик на кој се изведува наставата	македонски и англиски				
21.	Метод на следење на квалитетот на наставата	механизам на интерна евалуација и анкети				
22.	Литература					
	Задолжителна литература					
		Ред. број	Автор	Наслов	Издавач	Година
	22.1.	1.	Frank Lysecky, Roman Vahid	VHDL for Digital Design	Wiley; 1 edition	2007
		2.	Igor Mishkovski, Sonja Filiposka, Dimitar Trajanov, Aksenti Grnarov	Designing SoC using SystemC, Skopje		2009
		3.	Sasho Gramatikov, Igor Mishkovski, Sonja Filiposka, Dimitar Trajanov, Aksenti Grnarov	Designing SoC using VHDL		2009
	Дополнителна литература					
		Ред. број	Автор	Наслов	Издавач	Година
	22.2.	1.		Одбрани актуелни трудови од публикациите на IEEE и ACM		
		2.				
	3.					