

1.	Наслов на наставниот предмет	Дизајн на вградлив хардвер во ASIC и FPGA Embedded software design in ASIC and FPGA		
2.	Код	СОЦД-И-01		
3.	Студиска програма	Систем во чип (ТЕМПУС)		
4.	Организатор на студиската програма (единица, односно институт, катедра, оддел)	Факултет за информатички науки и компјутерско инженерство – ФИНКИ		
5.	Степен (прв, втор, трет циклус)	втор циклус		
6.	Академска година / семестар 2 / зимски / изборен	7. Број на ЕКТС кредити 6		
8.	Наставник	Доц. д-р Ласко Баснарков		
9.	Предуслови за запишување на предметот	Нема		
10.	Цели на предметната програма (компетенции): По завршувањето на курсот се очекува студентот да ја познава логиката/FSM и да биде способен да имплементира вградлив хардвер во SoC архитектура како ASIC или FPGA. Имплементационата методологија ќе ја базира на логика и синтеза на високо ниво.			
11.	Содржина на предметната програма: Концепти на логичка/FSM синтеза и дизајн. HDL кодирачки стилови за ефикасност, симулација, тајминг, свесни за потрошувачката и задушување. Технолошки и оптимизациски проблеми. Оптимизирачки дизајни за површина, перформанси и потрошувачка во Логичката/FSM синтеза. Статичка тајминг анализа. Концепти за синтеза на високо ниво. Распоредување, алокација, поврзување, складирање, меѓуповрзување и контролна синтеза. Хардверско забрзување. Експлорација на дизајнирачкиот простор. Хардверско и софтверско партиционирање			
12.	Методи на учење: Предавања поддржани со презентации преку слајдови, интерактивни предавања, вежби (користење на опрема и софтверски пакети), тимска работа, пример случаи, поканети гости предавачи, самостојна изработка и одбрана на проектна задача и семинарска работа, учење во електронско опкружување (форуми, консултации).			
13.	Вкупен расположив фонд на време	6 ECTS x 30 часа = 180 часа		
14.	Распределба на расположивото време	30 + 15 + 135 = 180 часа		
15.	Форми на наставните активности	15.1.	Предавања- теоретска настава	30 часови
		15.2.	Вежби (лабораториски, аудиториски), семинари, тимска работа	15 часови
16.	Други форми на активности	16.1.	Проектни задачи	60 часови
		16.2.	Самостојни задачи	25 часови
		16.3.	Домашно учење	50 часови
17.	Начин на оценување			
	17.1.	Тестови	50 бодови	
	17.2.	Семинарска работа/ проект (презентација: писмена и усна)	35 бодови	
	17.3.	Активност и учество	15 бодови	
18.	Критериуми за оценување (бодови/ оценка)	до 59 бода		5 (пет) (F)
		од 60 до 68 бода		6 (шест) (E)
		од 69 до 76 бода		7 (седум) (D)
		од 77 до 84 бода		8 (осум) (C)
		од 85 до 92 бода		9 (девет) (B)

		од 93 до 100 бода	10 (десет) (А)			
19.	Услов за потпис и полагање на завршен испит	реализирани активности 15.1 и 15.2				
20.	Јазик на кој се изведува наставата	македонски и англиски				
21.	Метод на следење на квалитетот на наставата	механизам на интерна евалуација и анкети				
22.	Литература					
	22.1.	Задолжителна литература				
		Ред. број	Автор	Наслов	Издавач	Година
		1.	Sanjay Churiwala and Sapan Garg	Principles of VLSI RTL Design	Springer	2008
		2.	Lee Weng Fook	VLIW Microprocessor Hardware Design: On ASIC and FPGA	McGraw-Hill Professional	2007
	3.	Ronald Sass	Embedded Systems Design with Platform FPGAs: Principles and Practices	Morgan Kaufmann	2010	
	22.2.	Дополнителна литература				
		Ред. број	Автор	Наслов	Издавач	Година
		1.		Избрани текстови од IEEE и од публикациите на ACM		
		2.				
3.						