

Јазичи за опис на хардвер (3+2) 6 ECTS

HDL јазичи за опис на хардверот. Verilog, VHDL, SystemVerilog, SystemC. Системи за генерирање на HDL до C и Matlab. Софтверски платформи за симулација и тестирање на дигитални системи. Креирање на IP-јадра во HDL. Користење на IP-јадра како составни делови за изработка на дигитален систем. Дизајнирање на систем-на-чип со HDL. Опис на процесори во HDL. Опис на магистрали во HDL.

Предуслов: Архитектура и организација на компјутери

Литература: John Williams, Digital VLSI Design with Verilog, Springer, 2008; Mark Zwolinski, Digital System Design with VHDL 2nd Edition, Pearson Education, 2008; David C. Black and Jack Donovan, SystemC: FROM THE GROUND UP ,Kluwer Academic Publishers, 2004